



曼切斯特编解码器方案介绍

V1.2

国产化中高端FPGA领军厂商 —— 加速您的创芯!

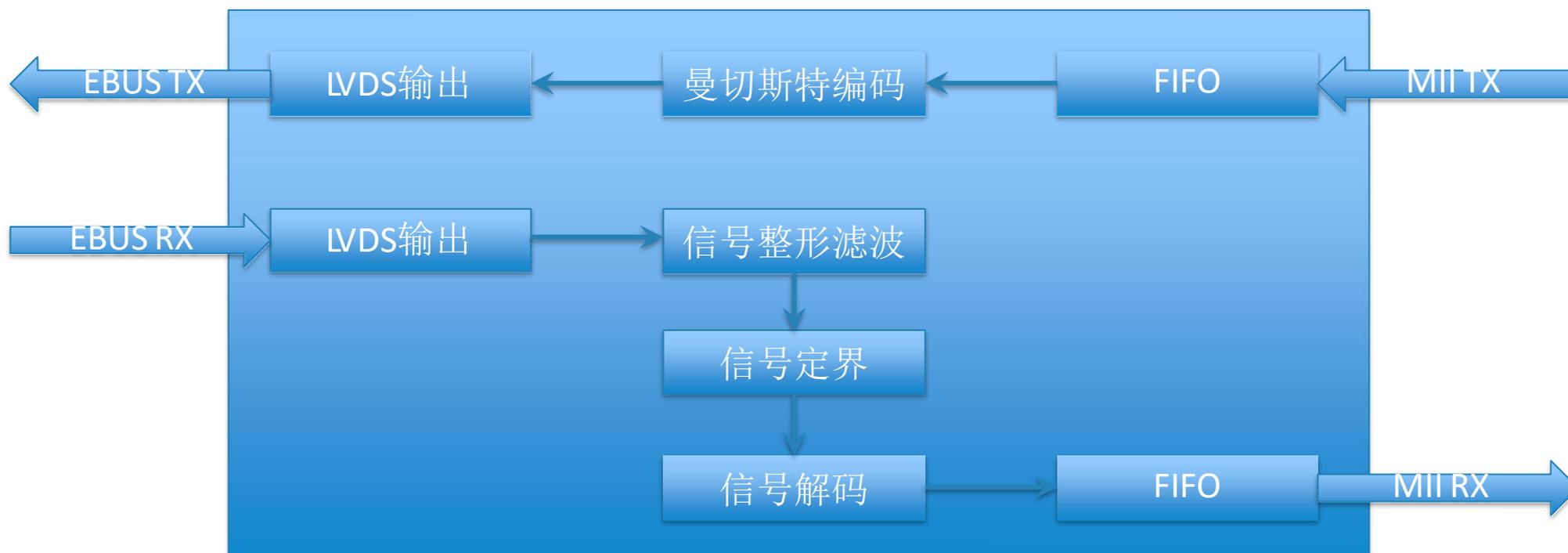
易灵思(深圳)科技有限公司

20221017

Richard Zhu 13980642671

- 提供系统时钟灵活的MII接口，可以很方便的和内部逻辑链接；
- 将MII转成串行数据，并经LVDS发送Manchester编码；
- 接收Manchester编码的流，通过整形、滤波、定界、译码 的算法模块恢复出正确的数据，并转成MII接口；
- 精密的容错算法和码流跟踪算法，可达大于200ppm的频率 偏差容限；（与现场信号质量有关）
- 时钟和解码算法能支持长时间持续数据报文发送；没有报 文长度的限制；

Manchester 编解码原理框图



资源占用和性能

Inputs	17 / 470
Outputs	18 / 595
Clocks	3 / 16
Logic Elements	472 / 19728
Memory Blocks	3 / 204
Multipliers	0 / 36

```
TimingConstraint.SDC' parsed successfully.  
3 clocks (including virtual clocks), 0 inputs and 0 outputs were constr:
```

Maximum possible analyzed clocks frequency			
Clock Name	Period (ns)	Frequency (MHz)	Edge
SysClk	6.146	162.705	(R-R)
TxMcstClk	3.582	279.178	(R-R)
RxMcstClk	5.548	180.253	(R-R)

```
Geomean max period: 4.961
```

信号管脚说明

时钟信号

信号名	I/O	描述	说明
SysClk	I	系统时钟	和用户逻辑内部同步一个时钟，可以用到75M到166M
TxMcstClk	I	发送曼码时钟	100M时钟
TxMcstSClk	I	发送曼码Lvds时钟	400M时钟，PLL直接给LVDS
RxMcstClk	I	接收曼码时钟	100M时钟
RxMcstSClk	I	接收曼码Lvds时钟	400M时钟，PLL直接给LVDS

MII接口信号

信号名	I/O	描述	说明
MiiRxCEn	O	MII接收时钟允许	与系统时钟同步
MiiRxData	O	MII接收数据 (4Bit)	
MiiRxDV	O	MII接收数据有效	
MiiRxErr	O	MII接收数据错误	
MiiTxCEn	O	MII发送时钟允许	与系统时钟同步
MiiTxData	I	MII发送数据 (4Bit)	
MiiTxEn	I	MII发送数据允许	
MiiTxBusy	O	MII发送忙	高电平时不能写入数据

EBUS接口信号

信号名	I/O	描述	说明
TxMcstData	O	曼码发送数据	8bit, 接800MLVDS Tx接口
RxMcstData	I	曼码接收数据	8bit, 接800MLVDS Rx接口
RxMcstLink	O	接收链接建立	

```
module Mcst2MII
(
  //System Signal
  SysClk      , //(I)System Clock
  TxMcstClk   , //(I)Manchester Tx clock
  RxMcstClk   , //(I)Manchester Rx clock
  Reset_N     , //System Reset
  //MII Signal
  MiiRxCEn    , //(O)MII Rx Clock Enable
  MiiRxData   , //(O)MII Rx Data Input
  MiiRxDV     , //(O)MII Rx Data Valid
  MiiRxErr    , //(O)MII Rx Error
  MiiTxCEn    , //(O)MII Tx Clock Enable
  MiiTxData   , //(I)MII Tx Data Output
  MiiTxEn     , //(I)MII Tx Enable
  MiiTxBusy   , //(O)MII Tx Busy
  //Manchester Data In/Output
  TxMcstData  , //(O)Manchester Data Output
  RxMcstData  , //(I)Manchester Data In
  RxMcstLink  , //(O)Manchester Linked
);
```

➤ Mcst2MIIDebug的参数用于在Demo板上测试验证

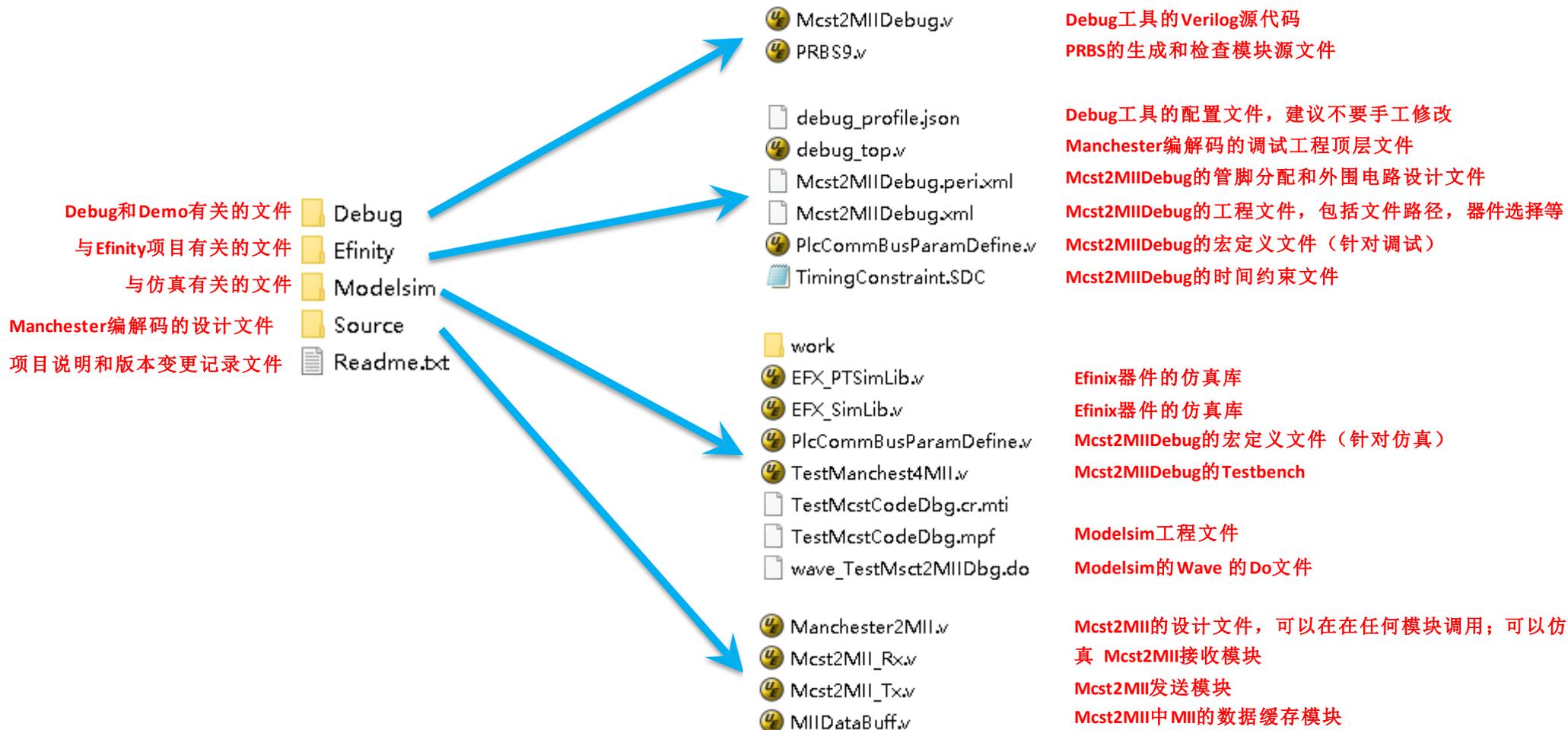
```
53 parameter RightCntWidth_C = 27;  
54  
55 parameter TxDataBurstLength_C = 100;  
56 parameter TxDataIntervalLen_C = 20;  
--
```

判断错误的计数器的宽度，设为27，表示连续 2^{27} 次没有误码，Right信号才为高；可以不用修改，主要为了仿真用；

发送数据连续长度；该值以4Bits为单位；它定义TxEn的长度；取值范围1-65535；由于采用了创新的架构和算法；理论支持数据长时间无滑码传输；

发送间隔长度；该值以4Bit为单位；他定义TxEn低电平的长度；取值范围1-65535；由于采用的独特的算法，理论支持的最小间隔为4Bits；

文件组成



调试界面

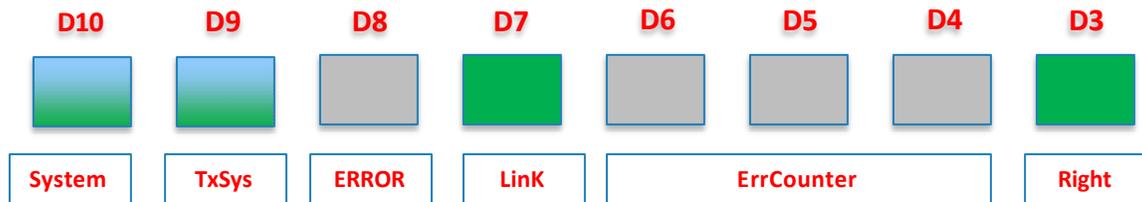
Name	Type	Width	Radix	
PrbsError	Probe	1	Hex	0
PrbsRight	Probe	1	Hex	0
LedCntRst	Source	1	Hex	0
ControlMilLoop	Source	1	Hex	0

PRBS的错误检视，1表示有误码

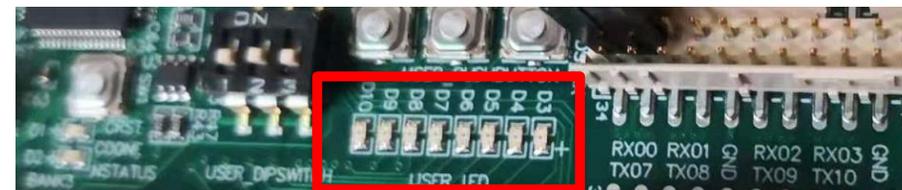
PRBS的正确检查，当连续128M个4Bit数据没有错误，该信号为高

用于清除错误计数，该计数会有3位在LED上显示

设置为1，Debug模块处于环回模式（见下图）



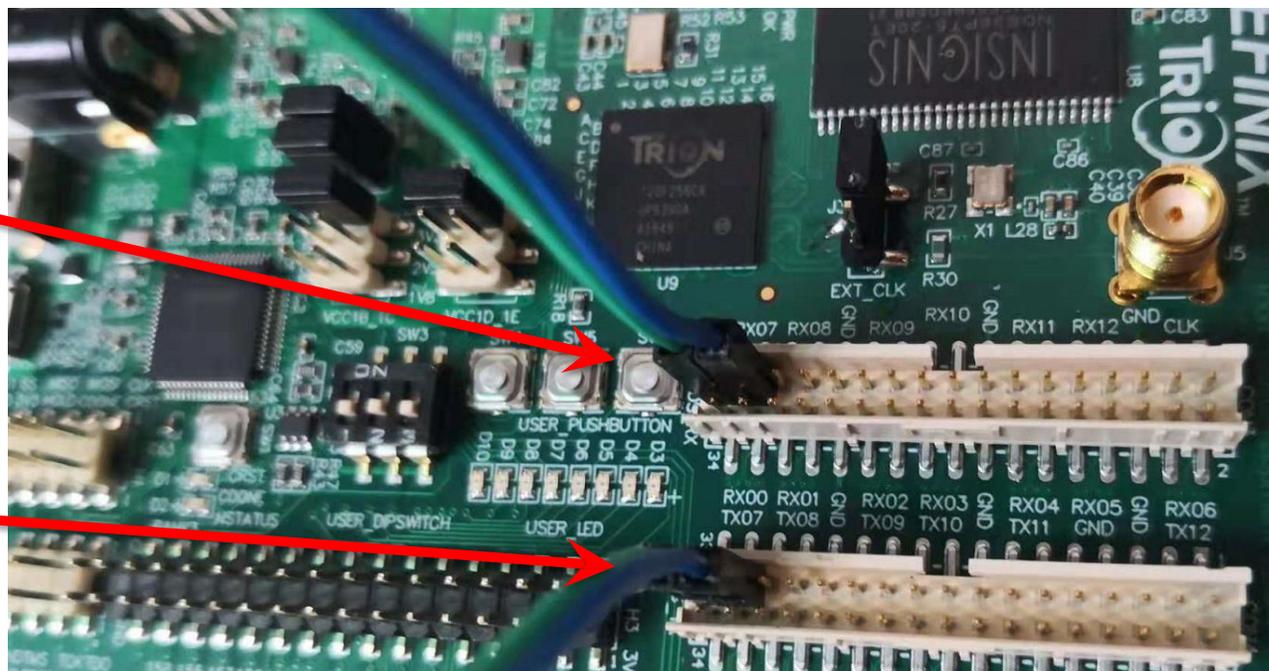
一直闪烁，表示正常



正常情况：
 D3/D4: System/TxSys 闪烁
 D5/D7/D8/D9: Error, ErrorCounter 全灭
 D6/D10: Link、Right 长亮

Demo板上管脚分配

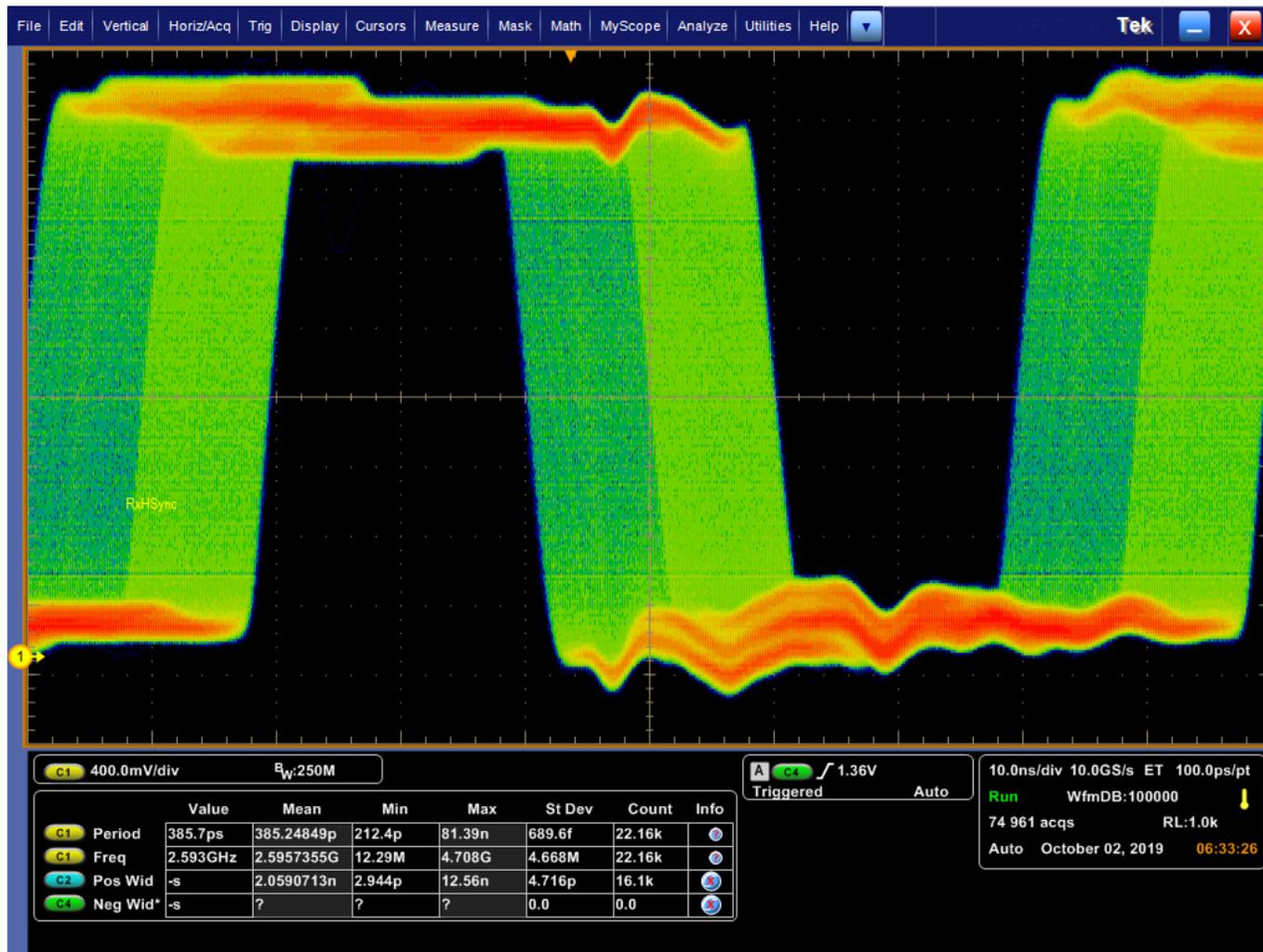
- Lvds Rx 07为 Manchester接收
- Lvds Tx 07为 Manchester发送



恢复时钟眼图

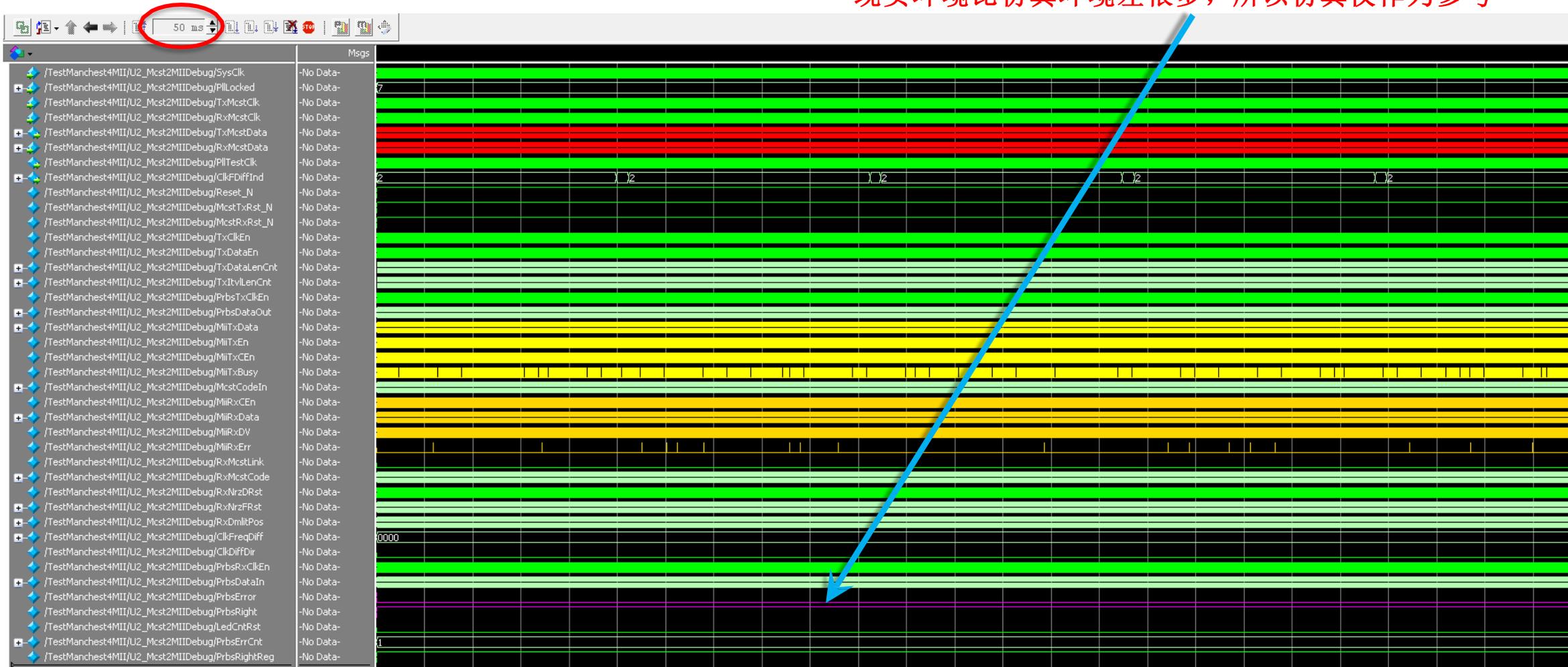
从图上看，时钟抖动在20ns;

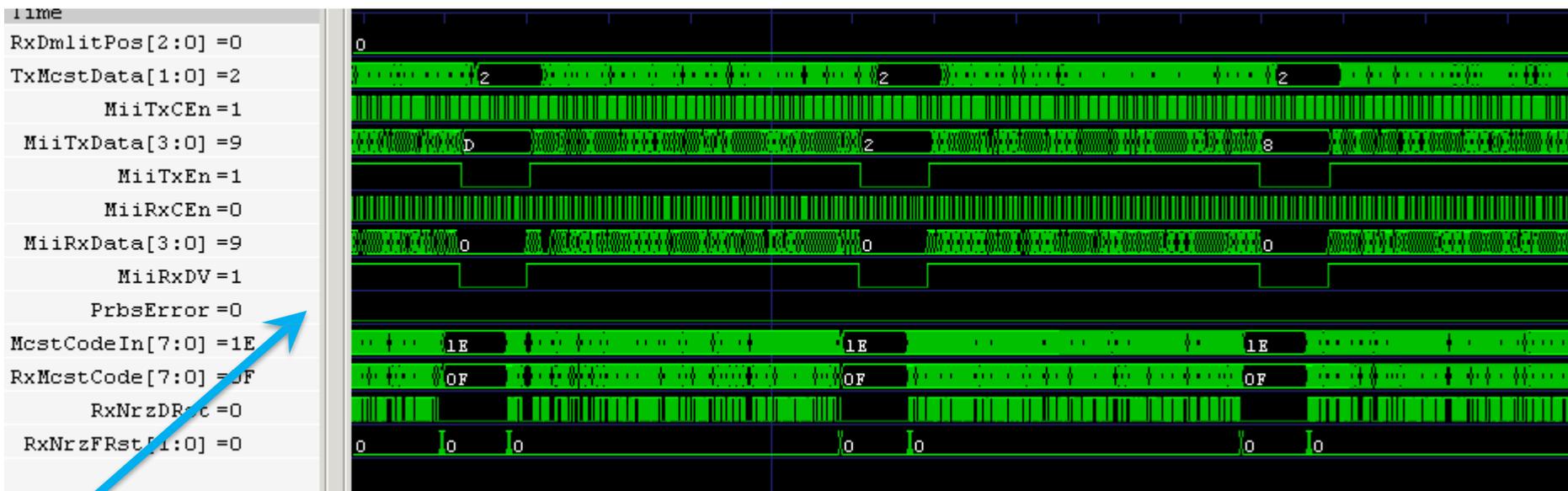
同步信号使用发送端的时钟



频率偏差大于1000ppm，仿真50ms没有误码

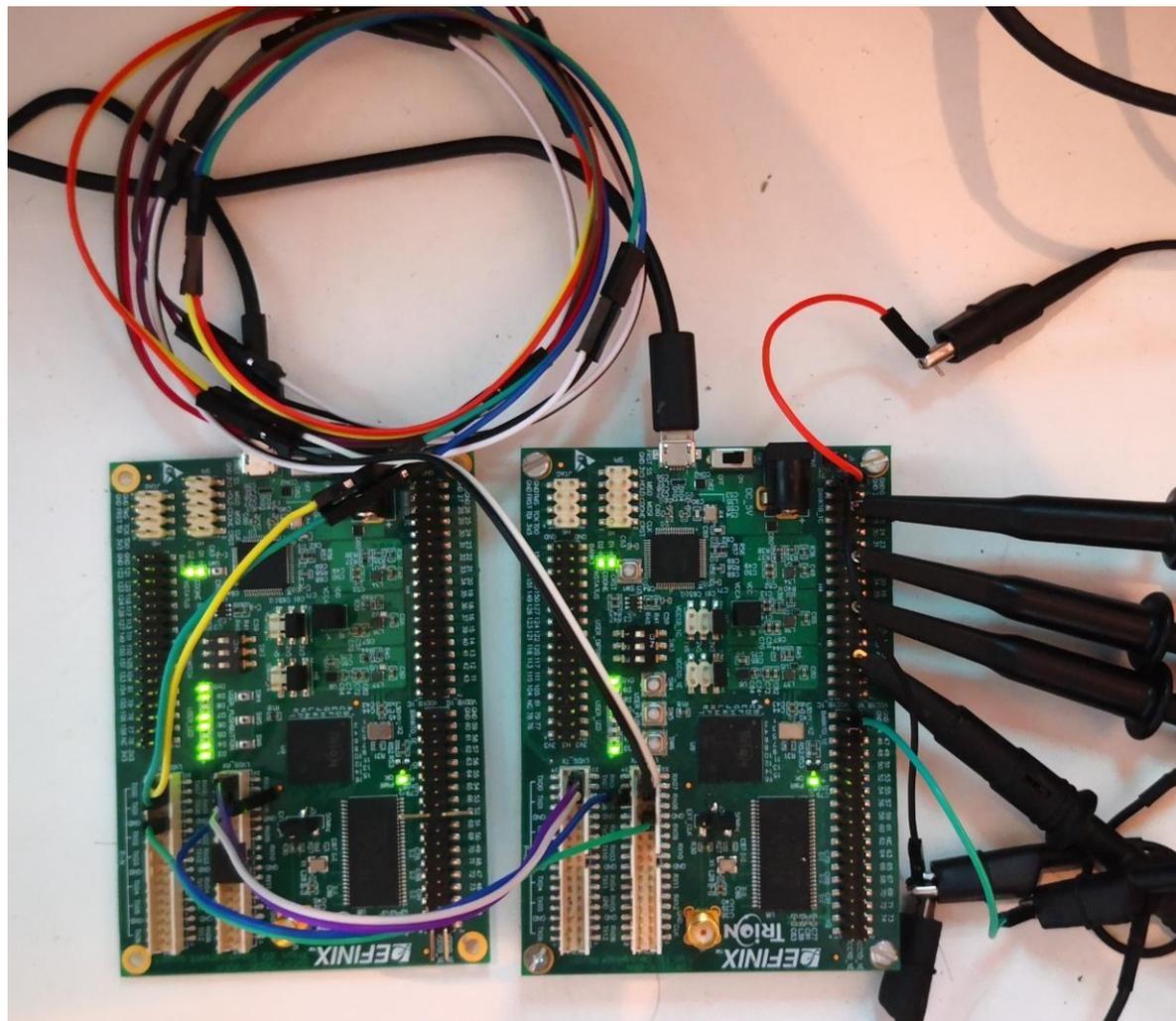
现实环境比仿真环境差很多，所以仿真仅作为参考





PrbsError一直为0

如果遇到问题，抓到有问题的波形，根据这些信号的波形基本可以诊断大部分问题；



► 测试环境:

- 两块T20F256Demo板，通过10根以上15cm的跳线连接；
- 两块板的频偏26ppm；
- Demo板的采用电脑的USB供电；
- 连续发送数据；

► 测试结果

- 长时间无误码；

感谢您的观看

www.elitestek.com



免责声明:

- 1、任何在本文档上出现的信息仅作为参考, 实际可能会有变动, 请以实际情况为准。
- 2、本文档使用的图片均来自包图网已付费。
- 3、“易灵思”及“Trion”、“钛金系列”均版权归属易灵思深圳科技有限公司。